

16-Kbit-sRAM

statischer Schreib/Lese-Speicherschaltkreis
Industrietypen und Amateurversion

Hersteller: VEB Forschungszentrum Mikroelektronik Dresden
VEB Mikroelektronik „Karl Marx“ Erfurt (ab 1989)

TGL 43922

Grenzwerte

Parameter	Kurzzeichen	min.	max.
Betriebsspannung	U_{CC} [V]	-0,3	7,0
Eingangsspannung an Pins	U_I [V]	-0,3 ¹	$U_{CC} + 0,3$
Verlustleistung	P_{tot} [W]		1,0
Umgebungstemperatur ²	θ_a [°C]	-25 (10)	85 (45)
Lagerungstemperatur ³	θ_s [°C]	-55	125

- 1 Innerhalb eines Zyklus ist eine einmalige Überschreitung für die Dauer von 10 ns bis -2 V, beim U 6516 DA S 1 bis maximal -1 V, zulässig.
- 2 Werte in Klammern gelten für den U 6516 DA S 1
- 3 für den U 6516 DA S 1 nicht definiert

Statische Kennwerte

Parameter (Bedingungen)	Kurzzeichen/ Einheit	U * DG 15	UL * DG 15 UL * DG 25	U * DA S 1
Ausgangs-L-Spannung ($I_0 = 3,2$ mA)	U_{OL} [V]	$\leq 0,4$	$\leq 0,4$	n. a.
Ausgangs-H-Spannung ($-I_0 = 1$ mA)	U_{OH} [V]	$\geq 2,4$	$\geq 2,4$	n. a.
Eingangsleckstrom	$ I_{LIF} $ [μ A]	$\leq 2,0$	$\leq 2,0$	n. a.
Eingangsleckstrom der bidirektionalen Anschlüsse	$ I_{LIB} $ [μ A]	$\leq 5,0$	$\leq 5,0$	n. a.
Stromaufnahme ($f_{CE} = 1$ MHz)	I_{CCO} [mA]	≤ 20	≤ 20	≤ 20
Ruhestrom ($\overline{CE} = H$)	I_{CCR} [μ A]	≤ 100	≤ 10	n. a.
Schlafstrom ($U_{CC} = 3$ V)	I_{CCS} [μ A]	-	≤ 6	-
Eingangskapazität	C_i [pF]	≤ 8	≤ 8	≤ 10

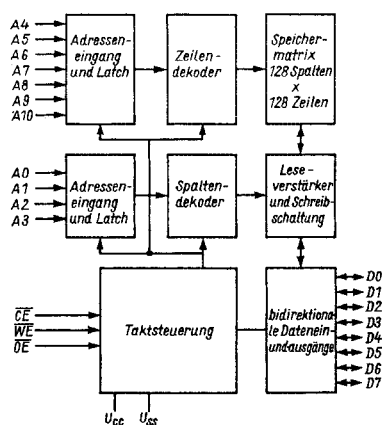
* ≤ 6516 n. a. = vom Hersteller für diesen Typ nicht gesondert angegeben

Statische Betriebsbedingungen

Parameter	Kurzzeichen	min.	max.
Betriebsspannung	U_{CC} [V]	4,75	5,25
L-Eingangsspannung	U_{IL} [V]	-0,3	0,8
H-Eingangsspannung	U_{IH} [V]	2,0	$U_{CC} + 0,3$
Schlafspannung ¹	U_{CS} [V]	2,0	
Umgebungstemperatur ²	θ_a [°C]	-25	85

- 1 für den U 6516 DA S 1 nicht definiert; nicht für den U 6516 DG 15
- 2 für den U 6516 DA S 1 auf den Bereich von 10 bis 45 °C eingeschränkt

Blockschaltbild



Typenspektrum

- UL 6516 DG 15 Grundtyp
- UL 6516 DG 25 Anfalltyp¹
- U 6516 DG 15 Anfalltyp
- U 6516 DA S 1 Amateurtyp

1 Stand 12/88

Vergleichstypen

- pinkompatibel zum HM 6516 (Harris)
- pinkompatibel und bedingt signalkompatibel zum gesamten 2716-Typenspektrum

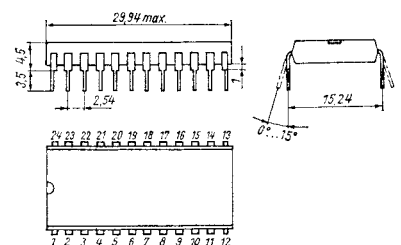
Bild 1: Blockschaltbild (Übersichtsstromlaufplan) des U 6516 DG

Kurzcharakteristik

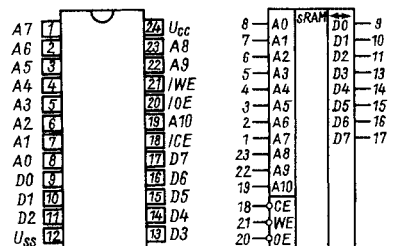
- statischer Schreib/Lese-Speicher mit wahlfreiem Zugriff (sRAM) in CMOS-Technologie
- Speicherkapazität 16 384 bit (16 Kbit)
- Speicherorganisation 2 048 × 8 bit
- pinkompatibel zum U 2716/2616
- Betriebsspannung $U_{CC} = 5$ V \pm 5 %
- Ruhestromaufnahme unter 50 μ A¹
- Zugriffszeit je nach Typ 150 ns oder 250 ns²
- Ein- und Ausgänge TTL-kompatibel
- 2 Enable-Signale
- Adreßblatch
- bidirektionale Datenein-/ausgänge
- Tri-state-Ausgänge
- Datenerhalt bis zur Betriebsspannung $U_{CC} \geq 2$ V („Schlafzustand“)¹
- 24poliges DIL-Plastgehäuse (15,24 mm/2,54 mm)
- Umgebungstemperaturbereich -25...85 °C
- integrierte Eingangsschutzschaltungen
- GSMT3s-Technologie
- EVP des U 6516 DA S1: 15,80 M

- 1 Schlafspannung und Ruhestromaufnahme beim Amateurtyp U 6516 DA S1 nicht definiert
- 2 Zugriffszeit beim U 6516 DA S1 typisch 120 ns

Maßbild



Pinbelegung/Schalt-symbol



- A0...A10 Adresseneingänge
- D0...D7 Datenein-/ausgänge
- CE Chipaktivierungseingang
- OE Freigabeingang für die Datenausgänge
- WE Lese/Schreib-Steuereinheit

Dynamische Kennwerte

Parameter	Kurzzeichen/ Einheit	UL * DG 15 U * DG 15	U * DG 25	U * DA S 1
\overline{CE} -Zugriffszeit ($C_L = 50$ pF)	t_{CLQV} [ns]	≤ 150	≤ 250	$\leq 250^1$
\overline{OE} -Zugriffszeit ($C_L = 50$ pF)	t_{OLQV} [ns]	≤ 60	≤ 100	$\leq 100^1$
Verzögerungszeit \overline{CE} -Ausgänge hochohmig	t_{CHQZ} [ns]	≤ 60	≤ 100	n. a.

1 bei $U_{CC} = 4,75$ V

2 bei $U_{CC} = 5,0$ V

n. a. = vom Hersteller für diesen Typ nicht angegeben

Dynamische Betriebsbedingungen

Parameter	Kurzzeichen/ Einheit	UL * DG 15 U * DG 15	UL * DG 25	U * DA S 1
Adressvorhaltezeit	t_{AVCL} [ns]	≥ 10	≥ 10	≥ 20
Adresshaltezeit	t_{CLAX} [ns]	≥ 50	≥ 50	≥ 50
Datenhaltezeit	t_{WHDX} [ns]	≥ 0	≥ 0	≥ 0
Datenhaltezeit	t_{CHDX} [ns]	≥ 0	≥ 0	≥ 0
Schreib/Lese-Vorhaltezeit	t_{WHCL} [ns]	≥ 0	≥ 0	≥ 0
Lese/Schreib-Abstand	t_{QVWL} [ns]	≥ 0	≥ 0	n. a.
\overline{CE} -L-Impulsdauer	t_{CLCH} [ns]	≥ 150	≥ 250	n. a.
\overline{CE} -H-Impulsdauer	t_{WLWH} [ns]	≥ 50	≥ 140	n. a.
WE-L-Impulsdauer	t_{WLWH} [ns]	≥ 60	≥ 100	n. a.
WE-Impulsvorhaltezeit	t_{WLCH} [ns]	≥ 60	≥ 100	n. a.
\overline{CE} -Impulsvorhaltezeit	t_{CLWH} [ns]	≥ 150	≥ 250	n. a.
Datenvorhaltezeit gegenüber \overline{CE}	t_{DVCH} [ns]	≥ 60	≥ 100	n. a.
Datenvorhaltezeit gegenüber WE	t_{DVWH} [ns]	≥ 60	≥ 100	n. a.
Zykluszeit	t_{CLCL} [ns]	≥ 200	≥ 390	n. a.
Erholzeit nach Schlafzustand	t_R	t_{CHCL}	n. a.	n. a.
\overline{CE} -L-Impulsdauer ¹	t_{CLCH2} [ns]	≥ 280	≥ 470	n. a.
WE-L-Impulsdauer ¹	t_{WLWH2} [ns]	≥ 130	≥ 220	n. a.
WE-Impulsvorhaltezeit ¹	t_{WLCH2} [ns]	≥ 130	≥ 220	n. a.
Zykluszeit ¹	t_{CLCL2} [ns]	≥ 330	≥ 610	n. a.

1 nur für kombinierten Lese/Schreib-Zyklus gültig

n. a. = vom Hersteller für diesen Typ nicht angegeben

Betriebsarten

Betriebsart (Bedingungen)	Anschluß (Pin)			Datenanschlüsse
	\overline{CE} (18)	\overline{WE} (21)	\overline{OE} (20)	
nicht selektiert	H	X	X	hochohmig
internes Lesen	L	H	H	hochohmig
Lesen	L	H	L	Datenausgabe, niederohmig
Schreiben 1	L	L	H	Dateneingabe, hochohmig
Schreiben 2	L	L	X	Dateneingabe, hochohmig

($t_{CLWH} \geq t_{CLCH}$; $t_{WLCH} \geq t_{CLCH}$)

X - beliebig

Kennlinien

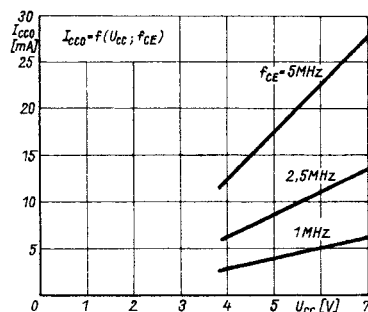


Bild 6: Betriebsspannungs- und CE-Taktfrequenzabhängigkeit der Betriebsstromaufnahme

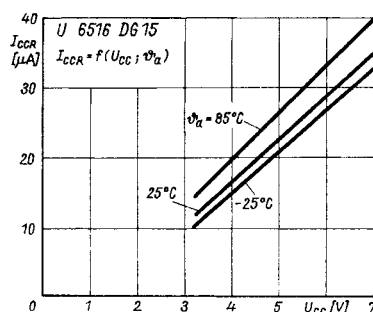


Bild 7: Ruhestromaufnahme als Funktion der Betriebsspannung beim U 6516 DG 15

Amateurtyp U 6516 DA S1

Der Amateurtyp U 6516 DA S1 ist ein geprüfter und voll funktionsfähiger Speicherschaltkreis. Es sind Abweichungen von Kennwerten gegenüber den TGL-Typen sowie geringfügige Gehäusemängel zugelassen.

Da vom Hersteller bezüglich des Schlafstroms zum DAS1-Typ keine Aussage getroffen wird, ist die TGL-gerechte Meßschaltung zur Bestimmung des Stroms angegeben. Er kann seitens des Herstellers nicht angegeben werden, da es sich beim DAS1-Typ auch um einen nicht TGL-gerechten U 6516 DG 15 handeln kann. Bei den beiden Typen UL 6516 DG 15 und UL 6516 DG 25 wird der Datenerhalt laut Datenblatt bis $U_{CC} = 2$ V (Schlafzustand) mit geringem Strom garantiert. Entsprechend der technischen Forderungen der Anwender liegt bei der Messung des Schlafstromes die Betriebsspannung bei $U_{CCS} = 3$ V. \overline{CE} muß dabei inaktiv (H) sein.

Meßschaltung

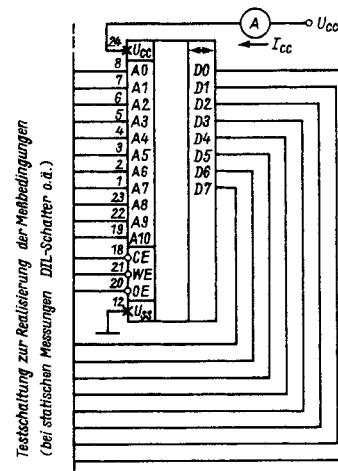


Bild 5: Messung der Stromaufnahme nach TGL (Meßbedingungen für I_{CC0} : $I_o = 0$; $U_i = U_{SS}$; $U_{CE} = 1$ -MHz-Takt; für I_{CCR} : $U_i = U_{SS}$; $U_{CE} = U_{CC}$; für I_{CCS} : $U_i = U_{SS}$; $U_{CE} = U_{CCS}$)

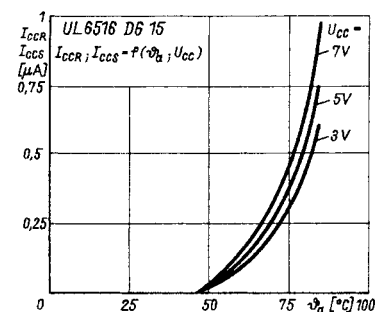


Bild 8: Ruhestrom- und Schlafstromaufnahme in Abhängigkeit von der Umgebungstemperatur beim UL 6516 DG 15

Taktdiagramme

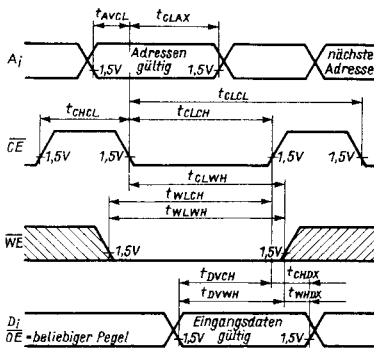


Bild 9: Taktdiagramm für den Schreib-(1)-Zyklus des U 6516

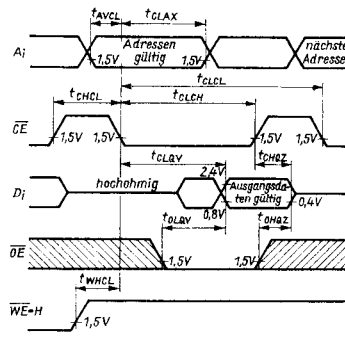


Bild 10: Taktdiagramm für den Schreib-(2)-Zyklus. Wenn bei beliebigen OE-Pegeln inaktive Datenausgänge realisiert werden sollen, muß $t_{CLWH} \geq t_{CLCH}$ und $t_{WLCH} \geq t_{CLCH}$ sein.

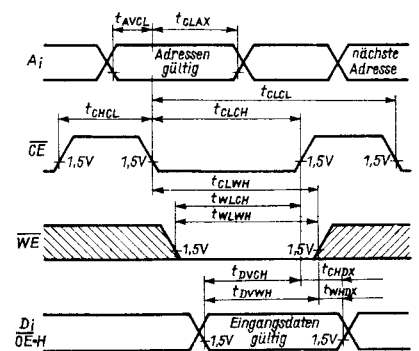


Bild 11: Taktdiagramm für den Lesezyklus beim U 6516

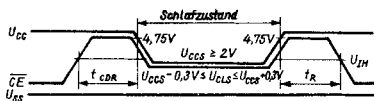


Bild 12: Zeitverhalten bei der Schlafsteuerung

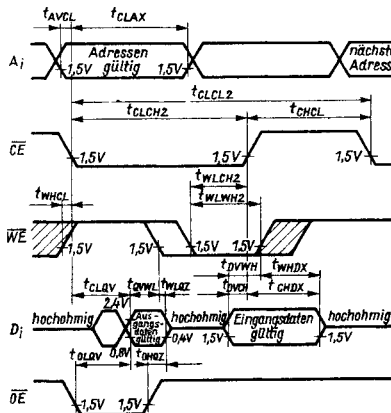


Bild 13: Taktdiagramm für den Lese-Schreib-Zyklus

Behandlungshinweise

CMOS-Schaltkreise sind, obwohl ihre Eingänge integrierte Schutzschaltungen besitzen, empfindlich gegenüber elektrostatischen Aufladungen. Die bekannten Regeln bzw. Vorsichtsmaßnahmen für den Umgang mit derartigen Bauelementen sind daher unbedingt einzuhalten bzw. zu verwirklichen. Beim Betrieb dieser Speicherschaltkreise ist zu beachten, daß Kurzschlüsse zwischen aktiven Ausgängen untereinander und zwischen aktiven Ausgängen und Masse oder Betriebsspannung verboten sind, d. h. sie können zur Zerstörung der Schaltkreise führen.

Funktionsbeschreibung

Die Schaltkreise des Typensortimentes U 6516 DG (DAS1) arbeiten in folgenden Betriebsarten:

- Lesezyklus,
- Schreibzyklus,
- kombinierter Lese/Schreib-Zyklus und
- Schlafzustand.

Dabei ist für die Typen U 6516 DG 15 und U 6516 DA S1 der Schlafzustand nicht definiert.

Die Betriebsarten werden mit den Signalen \overline{CE} , \overline{WE} und \overline{OE} ausgewählt. Der Schaltkreis läßt sich mit $\overline{CE} = L$ auswählen. Mit der H/L-Flanke von \overline{CE} werden die vorher angelegten Adressen in das Adreßregister übernommen und zwischengespeichert. Auf Grund dieser Arbeitsweise ist die Einhaltung der Adreßvorhaltezeit unbedingt notwendig. Die mit der Adresse ausgewählten Speicherzellen (1 Byte) kann man entsprechend dem logischen Signal von \overline{WE} lesen oder beschreiben. Während des nichtausgewählten Zustandes ($\overline{CE} = H$) sind die Datenausgänge hochohmig. Die Adreßeingänge sind geöffnet, und die Gatter schalten die sich ändernden Adressen zu den Dekodern durch, wobei ein Querstrom

zwischen U_{CC} und U_{SS} durch den Schaltkreis fließt. In der Betriebsart Lesen ($\overline{CE} = L$, $\overline{WE} = H$) gelangt die Information entsprechend der ausgewählten Adresse von den Speicherzellen byteweise über die Bitleitungen, Leseverstärker und internen Datenleitungen an die Datenausgangsstufen (internes Lesen). Mit der H/L-Flanke von \overline{OE} werden die Datenausgänge aktiviert und die Information (1 Byte) liegt niederohmig an D0 bis D7. Durch das Signal \overline{OE} kann die Zugriffszeit zu den Daten verkürzt werden, wodurch der Datenbus des Mikrorechnersystems während der Zeit des internen Lesens zur Übertragung anderer Informationen zur Verfügung steht. \overline{OE} ist dabei den Signalen \overline{CE} und \overline{WE} untergeordnet. Mit $\overline{CE} = L$ und $\overline{WE} = \overline{OE} = H$ (internes Lesen) steht der Datenbus noch zur Verfügung. In der Betriebsart Schreiben ($\overline{CE} = L$, $\overline{WE} = L$) wird die an den Datenausgängen D0 bis D7 anliegende Information entsprechend der Adresse in die Speicherzellen eingeschrieben. Nach dem stabilen Anlegen der Daten (s. Betriebsbedingungen) beendet die L/H-Flanke von \overline{CE} oder \overline{WE} das Einschrei-

ben. Da die Datenausgänge nicht getort sind, kann auch bei $\overline{CE} = H$ durch die Inverter der Datenausgänge während des Schaltens der Daten ein Querstrom fließen. $\overline{WE} = L$ schaltet die Datenanschlüsse hochohmig, wobei \overline{OE} beliebig sein kann (Schreiben 2). Zur Realisierung dieser inaktiven Datenanschlüsse sind die entsprechenden Bedingungen einzuhalten. Während des kombinierten Lese/Schreib-Zyklus wird die Information (1 Byte) aus den adressierten Speicherzellen gelesen und anschließend die neue Information in diese Speicherzelle geschrieben. Zur Vermeidung von Buskonflikten müssen vor Anlegen der neuen Eingangsdaten die Datenausgänge in den hochohmigen Zustand überwechseln. In der Betriebsart Schlafzustand ($\overline{CE} = H$) wird für die Typen UL 6516 DG 15 und UL 6516 DG 25 Datenerhalt bis $U_{CC} = 2V$ mit minimalem Schlafstrom garantiert. Um die Funktionsfähigkeit nach Beendigung des Schlafzustandes ($U_{CC} = 4,75V$) zu gewährleisten, ist für die interne Vorladung die Einhaltung der Zeit t_{CHCL} notwendig.

Applikationen

Die U 6516-Typen zeigen günstige Systembedingungen für die Rechentechnik. Dies sind vor allem die Byte-Organisation, die beiden Enable-Signale, die TTL-Kompatibilität, sowie die Pin-kompatibilität zu den (E)PROMs U 2716/2616.

Auf Grund ihrer geringen Leistungsaufnahme und des für zwei Typen garantierten Schlafzustandes eignen sie sich auch für tragbare Geräte, beispielsweise solche zur Datenerfassung. Durch die Byte-wide-Organisation ergibt sich ein platzsparender und vereinfachter Systementwurf, speziell für Einplatinenrechner.

Mit den beiden Enable-Signalen \overline{CE} und \overline{OE} ist eine unabhängige Steuerung der Datenträger möglich. Mit $\overline{CE} = L$ und $\overline{OE} = H$ werden die Daten durch das interne Lesen in den Ausgangslatch eingeschrieben, wobei die Datenpins noch hochohmig sind. Während dieser Zeit können auf dem Datenbus bzw. dem kombinierten Daten Adreß-Bus andere Informationsaustausche stattfinden, womit der Systemdurchsatz erhöht wird. Weiterhin ergeben sich durch die Pin-kompatibilität zum U 2716/2616 multivalente Anwendungen von Speicherkarten.

EPROM-Simulator

Bild 14 zeigt den U 6516 als EPROM-Simulator oder „austauschbaren/wechselbaren RAM ohne Datenverlust“.

Hierzu sind die Bedingungen entsprechend der Betriebsspannungspufferung (Widerstände) erfüllt.

Die einzelnen Signalleitungen, sowie die Betriebsspannung und Masse, außer der \overline{WE} -Leitung, werden auf einen Adapter herausgeführt, den man in die EPROM-Fassung stecken kann. Die Batterie wird über einen Schalter und eine Schutzdiode an das Betriebsspannungspin angeschlossen. Die Brücken (auch DIL-Schalter oder ähnliches sind möglich), dienen zur freien Programmierung der \overline{CE} und \overline{OE} -Signale, die in den verschiedenen Schaltungen unterschiedlich anwendbar sind.

Das \overline{WE} -Signal wird als R/\overline{W} (Read/Write) extra herausgeführt, um in der Schaltung entsprechend angeklemt werden zu können (da EPROMs/ROMs einen „festen Read-Eingang“ haben). S1 realisiert einen schaltbaren Schreibschutz. Der 100- μ F-Kondensator dient zur kurzzeitigen Spannungspufferung.

Speicher mit Stützakkumulator

Wegen der geringen Ruhe- und Schlafströme der UL-Typen eignen sie sich besonders zum Einsatz in batteriebetriebenen Geräten bzw. in Geräten mit Netzstützung. Eine Schaltung für Geräte mit Batterie-(Akkumulator-)stützung zeigt Bild 15 [3]. Hierzu ist eine Umschaltlogik erforderlich, die bei Netzausfall eine Absenkung der Versorgungsspannung auf weniger als

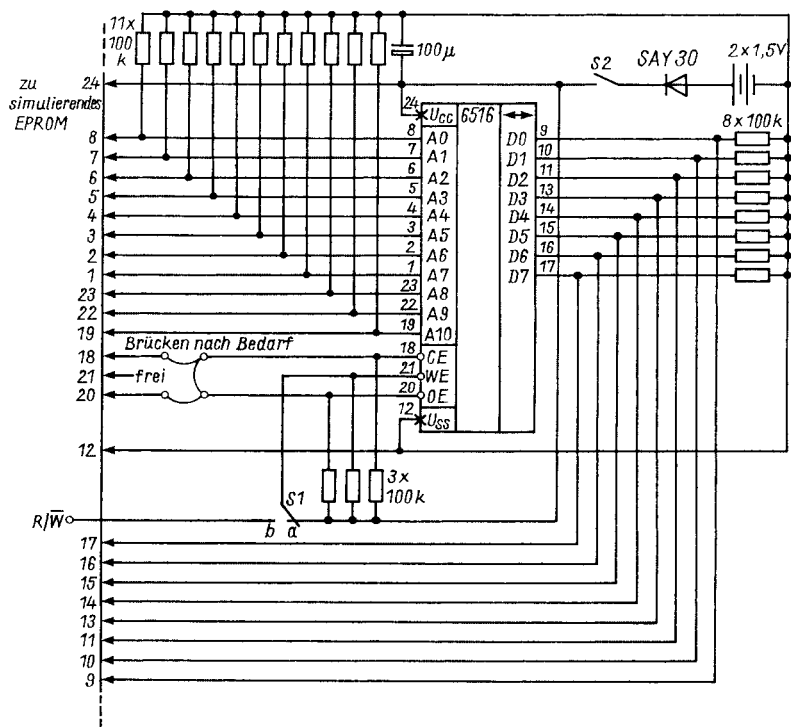


Bild 14: Schaltungsvorschlag für einen EPROM-Simulator.

S1 a – RAM schreibgeschützt; S1 b – Daten im RAM veränderbar; S2 – Schalter für die Stützspannung

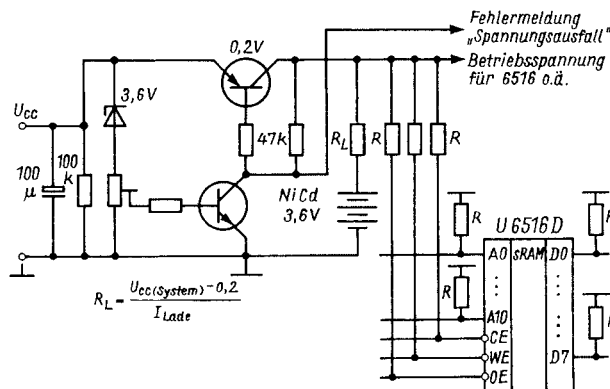


Bild 15: Schaltungsvorschlag zur Pufferung der Betriebsspannung des CMOS-RAM. Es ist jedoch zu beachten, daß der Schlafzustand nicht für das gesamte Typenspektrum garantiert wird.

4,75 V erkennt und entsprechende „Harvarbeiten“ ausführt. So z. B. die Beendigung des gerade ablaufenden Speicherzyklus und die Umschaltung.

Bei Batteriebetrieb (Pufferung) muß $\overline{CE} = \overline{OE} = H$ sein. Dazu liegen die Pins über 100-k Ω -Widerstände an U_{CC} . Der \overline{WE} -Eingang liegt ebenfalls an U_{CC} . Alle anderen Eingänge werden über 100-k Ω -Widerstände mit Masse verbunden. Der Speicher ist erst wieder betriebsbereit, wenn die Betriebsspannung mindestens 4,75 V erreicht hat und die Zeit t_{CHL} vergangen ist.

-thie

Literatur

- [1] TGL 43 922
- [2] U 6516 – Information 2/86, VEB Applikationszentrum Elektronik Berlin
- [3] Datenblatt (Manuskript) U 6516 DA S1, VEB Forschungszentrum Mikroelektronik Dresden (mit freundlicher Genehmigung des Herausgebers)
- [4] Hochrichter, W.: Statischer 16-Kbit-Speicher U 6516 DG, radio fernsehen elektronik 37 (1988), H. 5, S. 285 bis 287